

Inhaltsverzeichnis

1	Einführung	1
1.1	Geschichtliche Entwicklung der Mikroprozessortechnik	1
1.2	Stand und Entwicklungstempo der Mikroprozessortechnik	3
1.3	Grundbestandteile eines Mikrorechnersystems	4
1.4	Aufgaben und Testfragen	6
2	Informationseinheiten und Informationsdarstellung	7
2.1	Bits, Tetraden, Bytes und Worte	7
2.2	Die Interpretation von Bitmustern	8
2.3	Zahlensysteme	9
2.4	Die binäre Darstellung von Zahlen	10
2.4.1	Vorzeichenlose ganze Zahlen	11
2.4.2	Vorzeichenbehaftete ganze Zahlen (Zweierkomplement-Darstellung) . .	11
2.4.3	Festkommazahlen	14
2.4.4	Gleitkommazahlen	15
2.5	Aufgaben und Testfragen	18
3	Halbleiterbauelemente	19
3.1	Diskrete Halbleiterbauelemente	19
3.1.1	Dotierte Halbleiter	19
3.1.2	pn-Übergang in einer Diode	19
3.1.3	Bipolare Transistoren	20
3.1.4	Feldeffekttransistoren	24
3.2	Integrierte Schaltkreise (Integrated Circuits)	25
3.2.1	Allgemeines	25
3.2.2	Schaltkreisfamilien	27
3.2.3	TTL-Bausteine	28
3.2.4	CMOS-Bausteine	29
3.2.5	Weitere Schaltkreisfamilien	31
3.2.6	Logische Verknüpfungen und Logische Schaltglieder	32
3.3	Aufgaben und Testfragen	34
4	Speicherbausteine	35
4.1	Allgemeine Eigenschaften	35
4.2	Read Only Memory (ROM)	38
4.2.1	Masken-ROM (MROM)	38

4.2.2	Programmable ROM (PROM)	39
4.2.3	Erasable PROM (EPROM)	40
4.2.4	EEPROM und Flash-Speicher	41
4.3	Random Access Memory (RAM)	42
4.3.1	Statisches RAM (SRAM)	42
4.3.2	Dynamisches RAM (DRAM)	44
4.4	Magnetoresistives RAM und Ferroelektrisches RAM	54
4.5	Aufgaben und Testfragen	56
5	Ein- und Ausgabe	58
5.1	Allgemeines	58
5.2	Eingabeschaltung, Ausgabeschaltung	58
5.3	Ein-/Ausgabe-Steuerung von Bausteinen und Geräten	60
5.3.1	Aufbau von Bausteinen und Geräten mit Ein-/Ausgabe-Steuerung	60
5.3.2	Fallbeispiel: Der programmierbare Ein-/Ausgabebaustein 8255	61
5.4	Aufgaben und Testfragen	63
6	Systembus und Adressverwaltung	64
6.1	Busaufbau	64
6.1.1	Warum ein Bus?	64
6.1.2	Open-Collector-Ausgänge	65
6.1.3	Tristate-Ausgänge	66
6.1.4	Bustreiber	68
6.1.5	Synchrone und asynchrone Busse	69
6.1.6	Busdesign	70
6.1.7	Busvergabe bei mehreren Busmastern	71
6.2	Busanschluss und Adressverwaltung	72
6.2.1	Allgemeines	72
6.2.2	Adressdekodierung	73
6.3	Ausrichtung	77
6.4	Big-Endian- und Little-Endian-Byteordnung	79
6.5	Speicherbezogene und isolierte E/A-Adressierung	80
6.6	Aufgaben und Testfragen	81
7	Einfache Mikroprozessoren	83
7.1	Die Ausführung des Maschinencodes	83
7.2	Interner Aufbau eines Mikroprozessors	85
7.2.1	Registersatz	85
7.2.2	Steuerwerk	87
7.2.3	Operationswerk (Rechenwerk)	89
7.2.4	Adresswerk	91
7.2.5	Systembus-Schnittstelle	95
7.3	CISC-Architektur und Mikroprogrammierung	96
7.4	RISC-Architektur	97
7.5	Programmierung von Mikroprozessoren	99
7.5.1	Maschinenbefehlssatz	99
7.5.2	Maschinencode und Maschinenprogramme	101

7.5.3	Assemblersprache und Compiler	102
7.5.4	Hardware-Software-Schnittstelle (Instruction Set Architecture)	103
7.6	Reset und Boot-Vorgang	104
7.7	Ergänzung: Hilfsschaltungen	104
7.7.1	Taktgenerator	105
7.7.2	Einschaltverzögerung	105
7.8	Aufgaben und Testfragen	105
8	Besondere Betriebsarten	107
8.1	Interrupts (Unterbrechungen)	107
8.1.1	Das Problem der asynchronen Service-Anforderungen	107
8.1.2	Das Interruptkonzept	108
8.1.3	Interrupt-Behandlungsroutinen	108
8.1.4	Aufschaltung und Priorisierung von Interrupts	109
8.1.5	Vektorisierung und Maskierung von Interrupts, Interrupt-Controller	110
8.2	Ausnahmen (Exceptions)	112
8.3	Direct Memory Access (DMA)	112
8.4	Aufgaben und Testfragen	114
9	Beispielarchitekturen	115
9.1	Die CPU08 von Freescale	115
9.1.1	Übersicht	116
9.1.2	Der Registersatz	117
9.1.3	Der Adressraum	119
9.1.4	Die Adressierungsarten	119
9.1.5	Der Befehlssatz	123
9.1.6	Unterprogramme	125
9.1.7	Reset und Interrupts	126
9.1.8	Codebeispiele	129
9.2	Die MSP430CPU von Texas Instruments	137
9.2.1	Übersicht	137
9.2.2	Der Registersatz	138
9.2.3	Der Adressraum	139
9.2.4	Die Adressierungsarten	140
9.2.5	Der Befehlssatz	141
9.2.6	Reset und Interrupts	143
9.2.7	Unterstützung für die ALU: Der Hardware-Multiplizierer	146
9.2.8	Codebeispiele	147
9.3	Kurzer Architekturvergleich CPU08 – MSP430CPU	151
9.4	Aufgaben und Testfragen	153
10	Speicherverwaltung	155
10.1	Virtueller Speicher und Paging	155
10.2	Speichersegmentierung	159
10.3	Caching	162
10.3.1	Warum Caches?	162
10.3.2	Strukturen und Organisationsformen von Caches	165

10.3.3	Ersetzungsstrategien	169
10.3.4	Aktualisierungsstrategien	169
10.4	Fallstudie: Intel Pentium 4 (IA-32-Architektur)	171
10.4.1	Privilegierungsstufen	171
10.4.2	Speichersegmentierung, Selektoren und Deskriptoren	173
10.4.3	Paging	177
10.4.4	Kontrolle von E/A-Zugriffen	179
10.4.5	Caches	179
10.4.6	Der Aufbau des Maschinencodes	180
10.5	Aufgaben und Testfragen	183
11	Skalare und superskalare Architekturen	185
11.1	Skalare Architekturen und Befehls-Pipelining	185
11.2	Superskalare Architekturen	191
11.2.1	Mehrfache parallele Hardwareeinheiten	191
11.2.2	Ausführung in geänderter Reihenfolge	194
11.2.3	Register-Umbenennung	195
11.2.4	Pipeline-Länge, spekulative Ausführung	197
11.2.5	VLIW-Prozessoren	198
11.2.6	Doppelkern-Prozessoren	198
11.3	Fallbeispiel: Intel Pentium und Core Architektur	200
11.3.1	Die Entwicklung bis zu Pentium III und Athlon	200
11.3.2	Pentium 4	202
11.3.3	Die 64-Bit-Erweiterung	204
11.3.4	Core-Architektur	205
11.4	Fallbeispiel: IA-64 und Itanium-Prozessor	207
11.5	Aufgaben und Testfragen	212
12	Single Instruction Multiple Data (SIMD)	213
12.1	Grundlagen	213
12.2	Fallbeispiel: SIMD bei Intels IA-32-Architektur	214
12.2.1	Die MMX-Einheit	215
12.2.2	Die SSE-, SSE2-, SSE3-Befehle und Digital Media Boost (SSE4)	218
12.3	Aufgaben und Testfragen	220
13	Mikrocontroller	222
13.1	Allgemeines	222
13.2	Typische Baugruppen von Mikrocontrollern	223
13.2.1	Mikrocontrollerkern (Core)	223
13.2.2	Busschnittstelle	224
13.2.3	Programmspeicher	224
13.2.4	Datenspeicher	225
13.2.5	Ein-/Ausgabeschnittstellen (Input/Output-Ports)	225
13.2.6	Zähler/Zeitgeber (Counter/Timer)	226
13.2.7	Analoge Signale	231
13.2.8	Interrupt-System	233
13.2.9	Komponenten zur Datenübertragung	234

13.2.10 Bausteine für die Betriebssicherheit	236
13.2.11 Stromspar-Betriebsarten	238
13.3 Softwareentwicklung	238
13.3.1 Das Einspielen des Programmes auf das Zielsystem	239
13.3.2 Einschub: Die JTAG-Schnittstelle	240
13.3.3 Programmtest	243
13.3.4 Integrierte Entwicklungsumgebungen	244
13.4 Fallbeispiel: Infineon C167	246
13.4.1 Kern	247
13.4.2 Speicherorganisation und Busschnittstelle	250
13.4.3 Kommunikationsschnittstellen	251
13.4.4 Zeitgeber/Zähler-, Capture/Compare- und PWM-Einheiten	252
13.4.5 Input/Output-Ports und Analog-Digital-Wandler	255
13.4.6 Interruptsystem und PEC	255
13.4.7 Oszillator, Energie-Management und Sicherheitseinrichtungen	258
13.4.8 XC167CI	260
13.5 Aufgaben und Testfragen	260
14 Digitale Signalprozessoren	262
14.1 Digitale Signalverarbeitung	262
14.2 Architekturmerkmale	265
14.2.1 Kern	265
14.2.2 Peripherie	268
14.3 Fallbeispiel: Die Motorola DSP56800-Familie	268
14.3.1 Kern der DSP56800	269
14.3.2 DSP-Peripherie am Beispiel des DSP56F801	273
14.4 Aufgaben und Testfragen	274
Lösungen zu den Aufgaben und Testfragen	275
Literaturverzeichnis	285
Sachwortverzeichnis	288