

Klausur zur Mikroprozessortechnik

24.3.2004

| |
|-----------------|
| Nachname: |
| Vorname: |
| Matrikelnummer: |

Punkteverteilung

| Aufgabe | Punkte | erreicht |
|---------|--------|----------|
| 1 | 3 | |
| 2 | 5 | |
| 3 | 2 | |
| 4 | 4 | |
| 5 | 3 | |
| 6 | 2 | |
| 7 | 3 | |
| 8 | 2 | |
| 9 | 2 | |
| 10 | 4 | |
| 11 | 5 | |
| 12 | 3 | |
| 13 | 2 | |
| 14 | 3 | |
| 15 | 2 | |
| 16 | 5 | |
| 17 | 2 | |
| 18 | 2 | |
| 19 | 5 | |
| 20 | 3 | |
| Summe | 62 | |
| Note | – | |

Stichwortartige Lösungen in Kursivdruck eingefügt.

Aufg.1) Was bedeuten die folgenden Abkürzungen:

- TTL *Transistor-Transistor-Logik*
- LDT *Local Descriptor Table*
- NMI *Non mascable Interrupt*

Aufg.5) Nennen Sie die Hauptaufgaben eines programmierbaren Interrupt-Controllers!

Registrierung, Maskierung, Priorisierung, Vektorisierung und Verwaltung der eingehenden Interruptanforderungen, Abwicklung des Interruptbestätigungszyklus mit dem Prozessor.

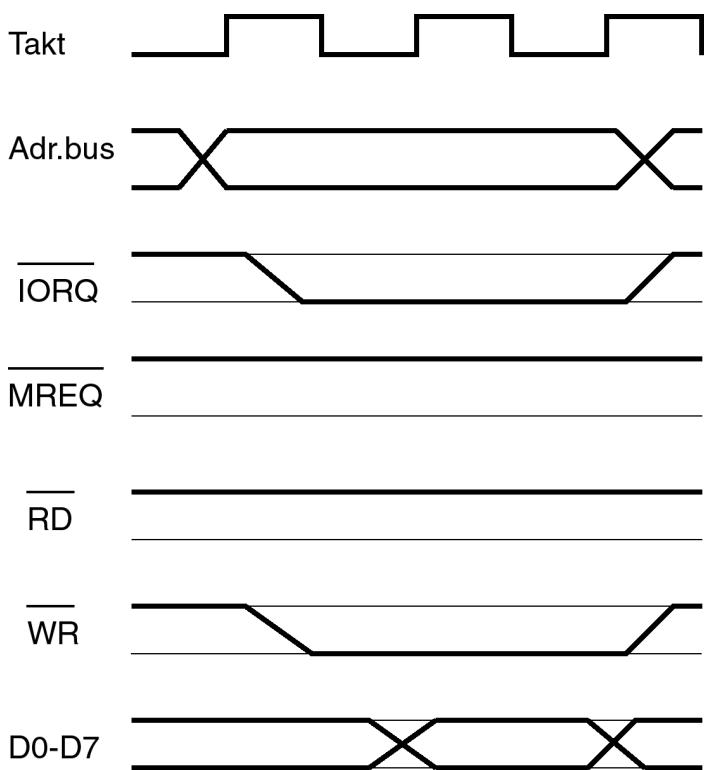


Aufg.6) Wozu werden in einem Mikroprozessorsystem Interrupts benutzt und warum sind Interrupts so nützlich? Wie könnte man die gleichen Systemaufgaben ohne Interrupts lösen?

Interrupts werden benutzt um Service-Anforderungen von externen Geräten und Bausteinen an den Prozessor weiterzuleiten. Interrupts ersparen Abfrageschleifen (Polling)



Aufg.7) In einem Mikroprozessorsystem werden bei der Ausführung eines Befehls folgende Signale auf dem Bus gemessen:



1. Welche Aktion führt dieser Befehl aus? *Schreiben auf einen E/A-Baustein*
2. Wieviele Taktzyklen sind dargestellt? 3
3. Wieviele Maschinenzyklen sind dargestellt? 1



Aufg.8) Ein Mikroprozessorsystem wird mit 750 MHz getaktet. Wie lange dauert die Ausführung eines Befehles, der 5 Taktzyklen braucht?

6.66 ns



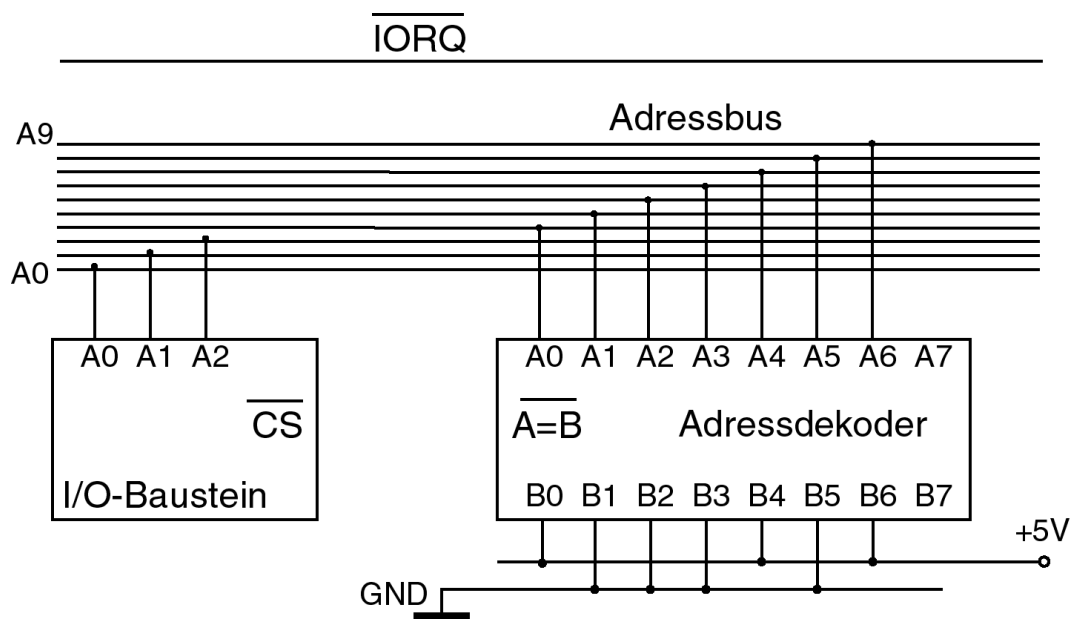
Aufg.9) Erklären Sie den Begriff „Thrashing“!

Ständiges Aus-/Einlagern einer Seite in einem ungünstigen Betriebszustand beim Paging.



Aufg.10) Betrachten Sie das unten abgebildete System.

1. Tragen Sie evtl. fehlende Leitungen und Bausteine ein!
2. Bestimmen Sie, welche Adressen der Baustein im System belegt!
3. Schreiben Sie das Adresswort auf!
4. Bestimmen Sie die Basisadresse!



Verbindung Ausgang Adressdekoeder mit CS von I/O-Baustein, Beschaltung der Eingänge A7 und B7, Verwendung IORQ-Signal (mehrere Möglichkeiten), Adressbereich 288h – 2Fh, Basisadresse 288h, Adressaufteilung Bits 0–2 chipinterne Adresse, Bits 3–9 Bausteinauswahl



Aufg.11) Übersetzen Sie den Assemblerbefehl

```
MOV BX, [DI+12d]
```

in 8086-Maschinensprache! Als Hilfe sei folgender (übersetzter) Auszug aus dem Prozessor-Handbuch gegeben:

MOV

Format bei Transfer zu/von Register/Memory zu/von Register

| | | | | | | | | | | | |
|--------|----|----|----|----|----|----|---|---|-----|-------|-------|
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 6 | 5 4 3 | 2 1 0 |
| Inhalt | 1 | 0 | 0 | 0 | 1 | 0 | d | w | mod | reg | r/m |

d-Bit, **w**-Bit und **mod**-Feld

| | |
|--------|---|
| d=1 | Transfer zum Register |
| d=0 | Transfer vom Register |
| w=1 | Wortbefehl |
| w=0 | Bytebefehl |
| mod=00 | Kein Displacement |
| mod=01 | Ein Byte Displacement: Low Byte |
| mod=10 | Zwei Byte Displacement: High Byte, Low Byte |
| mod=11 | r/m wird als Registerfeld behandelt |

r/m-Feld

| Wert | Effektive Adresse |
|------|----------------------|
| 000 | [BX+SI+Displacement] |
| 001 | [BX+DI+Displacement] |
| 010 | [BP+SI+Displacement] |
| 011 | [BP+DI+Displacement] |
| 100 | [SI+Displacement] |
| 101 | [DI+Displacement] |
| 110 | [BP+Displacement] |
| 111 | [BX+Displacement] |

reg-Feld

| Wert | 16 Bit (w=1) | 8 Bit (w=0) |
|------|--------------|-------------|
| 000 | AX | AL |
| 001 | CX | CL |
| 010 | DX | DL |
| 011 | BX | BL |
| 100 | SP | AH |
| 101 | BP | CH |
| 110 | SI | DH |
| 111 | DI | BH |

Ergebnis, alle erzeugten Bytes hexadezimal: *8B 5D 0C*



Aufg.12) Warum können bedingte Sprungbefehle eine negative Auswirkung auf die Leistung moderner RISC-Prozessoren haben? Nennen Sie mehrere Gegenmaßnahmen, mit denen man diese negativen Auswirkungen bekämpft!

Zeitverlust wegen Pipelineleerung; Gegenmaßnahmen: Delayed Branch-Technik, statische oder dynamische Sprungvorhersage, spekulative Ausführung beider Zweige



Aufg.13) Welches Problem kann bei der Segmentauslagerung eintreten und bei der Seitenauslagerung nicht?

Externe Fragmentierung durch unterschiedliche Seitengrößen



Aufg.14) Ein Cache-Controller arbeitet nach dem Copy-Back-Verfahren. Zählen sie auf, welche Aktionen bei einem Lesefehltreffer (Read-Miss) auszuführen sind?

Auswahl eines Satzes für die Einspeicherung (durch Index), Auswahl eines Eintrages im Satz z.B. nach LRU, zurückspeichern der dort stehenden Daten falls $D=1$, Einspeichern der Daten dort, $V=1$, $D=0$



Aufg.15) Im Protected Mode des Pentium unterscheidet man drei Arten von Adressen:

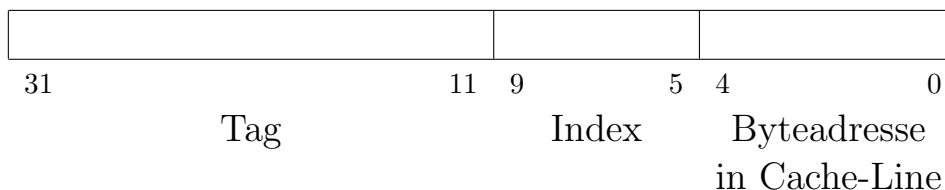
- Virtuelle Adresse
- lineare Adresse
- physikalische Adresse

Erklären Sie diese Begriffe und ihre Beziehung zueinander!

*Virtuelle Adresse wird durch Programmierer/Compiler benutzt, besteht aus Selektor und Offset; Durch Segmentverwaltung wird daraus (Selektor-Deskriptor) eine lineare Adresse = 32-Bit-Zahl; Physikalische Adresse ist die tatsächliche hardwaremäßige Speicheradresse (Bitmuster auf Adressbus); Falls Paging nicht eingeschaltet ist, ist die lineare Adresse auch die phys. Adresse, sonst erfolgt Adressumsetzung entsprechend Pagingta-
belle um die phys. Adresse zu bestimmen.*



Aufg.16) In einem Mikroprozessorsystem befindet sich ein vierfach-assoziativer Cache (Vierweg-Cache) zwischen Prozessor und Hauptspeicher. Er wird durch das folgende Schema beschrieben:



- A) Wie viele Bytes enthält eine Cache-Line? 32
- B) Der Prozessor greift auf die Speicheradresse 000164A2h zu. In wie vielen und welchen Sätzen innerhalb des Caches werden nun Einträge ausgewertet, um herauszufinden ab ein Cache-Hit vorliegt? *In Satz 5*
- C) Wie viele Einträge werden ausgewertet (verglichen)? *4 Einträge, da Vierweg-Cache*
- D) Wie groß ist die Cache-Trefferrate, wenn der Prozessor einen zusammenhängenden Block von 1 kB aus dem Speicher liest, der bisher weder gelesen noch beschrieben wurde (32-Bit-Datenbus zwischen Prozessor und Cache)? *87.5 %, da nach jedem Fehltreffer eine ganze Cache-Line geladen wird und dann 7 mal ein 32-Bit-Wort im Cache gefunden wird.*

5

Aufg.17) In einem Mikroprozessorsystem befindet sich ein Cache zwischen Prozessor und Hauptspeicher, der durch das folgende Schema beschrieben wird:



Warum ist der Betrieb des Caches nach diesem Schema ungünstig?

Nah beieinander liegende Adressen (kein Unterschied im Indexfeld!) werden hier alle auf den gleichen Satz abgebildet. Wegen des räumlichen Lokalitätsprinzips resultiert schlechte Cache-Ausnutzung. Wenn der Speicher nicht voll bestückt ist, treten manche Index-Werte nicht auf, d.h. manche Cache-Sätze werden nie benutzt.

2

Aufg.18) Für den Aufbau einer Wetterstation sollen Sie einen Mikrocontroller auswählen. Ein Windrad liefert beim Drehen Impulse, ein Temperatursensor liefert eine Spannung zwischen 0 und 5V. Beide Sensorsignale sollen von dem Mikrocontroller erfasst werden, der wiederum mit einem PC Daten austauschen soll. Über welche Baugruppen muss der Mikrocontroller verfügen?

Zähler, Analog/Digital-Wandler, Kommunikationsschnittstelle (z.B. RS232, USB)



Aufg.19) Ein Mikrocontroller besitzt einen Zähler/Zeitgeber-Baustein mit Reload- und Compare-Register, bei dem sich die Reaktionen auf Überlauf und Compare-Ereignis (Gleichheit des Zählwertes mit dem Wert im Compare-Register) flexibel einstellen lassen. Diese Ereignisse können benutzt werden um den Pegel an Ausgangsleitungen zu beeinflussen. Auch die Laufrichtung des Zählers lässt sich einstellen. Der Eingangstakt am Zählerbaustein ist 1 MHz.

a) Wie muss der Baustein eingestellt werden, um ein pulswertenmoduliertes Signal mit einer Frequenz von von 2 kHz und einem Tastverhältnis ($T_{HIGH}/T_{Periode}$) von 0.2 zu erzeugen.

| | |
|-----------------------|--|
| Compare-Register: 400 | Compare-Ereignis: Signalleitung LOW setzen |
| Reload-Register: 500 | Reload-Ereignis: Signalleitung HIGH setzen |
| Zählrichtung: abwärts | |

Andere Lösungen möglich!

b) Wie viele Instruktionen müssen ausgeführt werden um das Tastverhältnis zu ändern?

Neuen Comparewert eintragen, 1 Instruktion

c) Wie viele Instruktionen müssen ausgeführt werden um bei gleichem Tastverhältnis die Frequenz zu ändern?

Neuen Reloadwert und neuen Comparewert eintragen, 2 Instruktionen

Aufg.20) Auf einem Mikroprozessorsystem wird ein Cache mit dem MESI-Kohärenzprotokoll betrieben. Ein Eintrag befindet sich im Zustand Invalid. Tragen Sie in der untenstehenden Tabelle ein, in welchen neuen Zustand der Eintrag nach den genannten Aktionen übergeht.



| Aktion | Zustand danach |
|------------------------------|---------------------------------|
| Read Miss | <i>Exclusive Unmodified (E)</i> |
| Snoop Hit eines Lesezugriffs | <i>Shared (S)</i> |
| Write Hit | <i>Modified Exclusive (M)</i> |

